

- Lösungen -
7. Digitaltechnik

- **Elektronik für Informatiker** -
von den Grundlagen bis zur Mikrocontroller-Applikation

Manfred Rost Sandro Wefel

23. November 2021

<https://doi.org/10.1515/9783110609066>

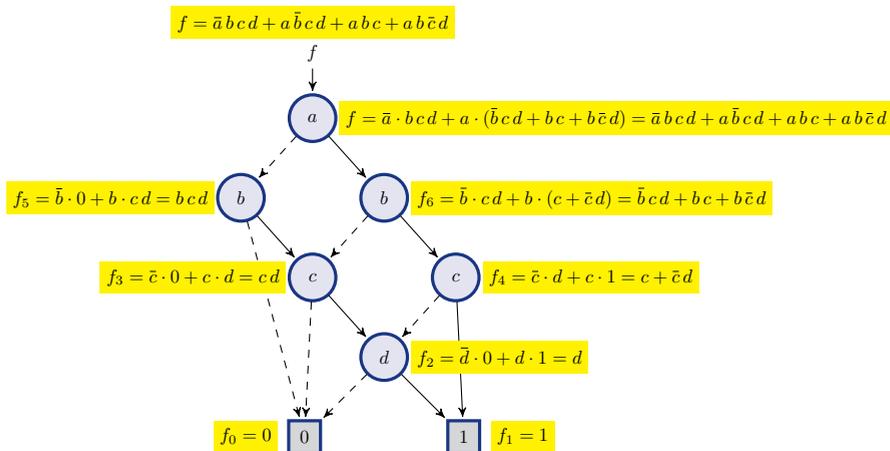
Verlag: De Gruyter Oldenbourg

© 2021
All Rights Reserved

Anmerkung: Bildnummern und Seitenzahlen beziehen sich auf
die 2. Auflage des Buches.

7 Digitale Schaltungstechnik

7.1 Für jeden inneren Knoten k , markiert mit der Variable x , kann die Funktion f_k anhand der Shannon-Zerlegung $f_k = \bar{x} \cdot f_{k,x=0} + x \cdot f_{k,x=1}$ aus den Funktionen der beiden Kofaktoren $f_{k,x=0}, f_{k,x=1}$ bestimmt werden. Die Funktionen der Kofaktoren sind die Funktionen der Kindknoten an den ausgehenden Low- und High-Kanten. Die dargestellte Funktion sollte somit bottom-up bestimmt werden:



7.2 Gegeben ist eine Boolesche Algebra (M, \wedge, \vee, \neg) .

- Neutralität, Neutrale Elemente; Ein Element $e \in M$, für das gilt $\forall x \in M : x \wedge e = x$, wird als Einselement bezeichnet. Ein Element $n \in M$, für das gilt $\forall x \in M : x \vee n = x$, wird als Nullelement bezeichnet. Diese Elemente heißen auch neutrale Elemente.

Behauptung: Die erste Rechenregel besagt, dass jede Boolesche Algebra genau ein Null- und ein Einselement besitzt, im Folgenden als 0 und 1 bezeichnet und somit die Neutralität $x \wedge 0 = 0$, $x \vee 0 = x$, $x \vee 1 = 1$ und $x \wedge 1 = x$ für jedes $x \in M$ gilt.

Aus dem Axiom Auslöschung folgt, dass es ein Nullelement $n \in M : n = y \wedge (\neg y)$ und ein Einselement $e \in M ; e = y \vee (\neg y)$ gibt. Allerdings wird deren Eindeutigkeit dadurch noch nicht garantiert.

Beweis der Eindeutigkeit des Nullelements: Angenommen es gibt zwei Nullelemente n_1 und n_2 . Dann gilt $n_1 \vee n_2 = n_1$ und $n_2 \vee n_1 = n_2$. Aufgrund der Kommutativität $n_1 \vee n_2 = n_2 \vee n_1$ muss $n_1 = n_2$ sein.

Beweis der Eindeutigkeit des Einselements: Angenommen es gibt zwei Einselemente e_1 und e_2 . Dann gilt $e_1 \wedge e_2 = e_1$ und $e_2 \wedge e_1 = e_2$. Aufgrund der Kommutativität $e_1 \wedge e_2 = e_2 \wedge e_1$ muss $e_1 = e_2 = 1$ sein.

- Komplement;

Behauptung: Zu jedem Element $x \in M$ gibt es ein eindeutiges Element $\neg x \in M$, so dass gilt $x \wedge \neg x = 0$ und $x \vee \neg x = 1$.

Beweis: Wir zeigen, zu einem Element $x \in M$ ist das komplementäres $\neg x \in M$ eindeutig bestimmt. Somit würde für Elemente $x, y \in M$, für die $x \vee y = 1$ und $x \wedge y = 0$ gilt, folgen $y = \neg x$, womit $\neg x$ eindeutig bestimmt ist. Es gilt:

$$\begin{aligned}
 y &= y \vee 0 = y \vee (x \wedge \neg x) && \text{(Neutralität)} \\
 &= (y \vee x) \wedge (y \vee \neg x) = (x \vee y) \wedge (y \vee \neg x) && \text{(Distributivität, Kommutativität)} \\
 &= 1 \wedge (y \vee \neg x) && (x \vee y = 1 \text{ nach Voraussetzung}) \\
 &= (x \vee \neg x) \wedge (y \vee \neg x) = (\neg x \vee x) \wedge (\neg x \vee y) && \text{(Neutralität, Kommutativität)} \\
 &= \neg x \wedge (x \vee y) && \text{(Distributivität)} \\
 &= \neg x \wedge 1 && (x \vee y = 1) \\
 &= \neg x
 \end{aligned}$$

Somit muss y und damit $\neg x$ das eindeutige Komplement zu x sein.

- De Morgansche Gesetze; $\neg(x \wedge y) = (\neg x) \vee (\neg y)$ und $\neg(x \vee y) = (\neg x) \wedge (\neg y)$

Betrachten wir nur das erste Gesetz, der Beweis des zweiten folgt analog.

Beweis: $\neg(x \wedge y) = (\neg x) \vee (\neg y)$ kann aufgrund der Eindeutigkeit des Komplements und Eindeutigkeit der neutralen Elemente 0 und 1 nur genau dann gelten, wenn sowohl $(x \wedge y) \wedge ((\neg x) \vee (\neg y)) = 0$ als auch $(x \wedge y) \vee ((\neg x) \vee (\neg y)) = 1$ gelten.

$$\begin{aligned}
 (x \vee y) \wedge ((\neg x) \wedge (\neg y)) &= \\
 &= (x \wedge ((\neg x) \wedge (\neg y)) \vee (y \wedge ((\neg x) \wedge (\neg y))) && \text{(Distributivität)} \\
 &= (x \wedge \neg x \wedge \neg y) \vee (y \wedge \neg x \wedge \neg y) && \text{(Assoziativität)} \\
 &= (\neg y \wedge x \wedge \neg x) \vee (\neg x \wedge y \wedge \neg y) && \text{(Kommutativität)} \\
 &= (\neg y \wedge 0) \vee (\neg x \wedge 0) && \text{(Neutralität)} \\
 &= 0 \wedge 0 = 0
 \end{aligned}$$

$$\begin{aligned}
(x \vee y) \vee ((\neg x) \wedge (\neg y)) &= \\
&= ((x \vee y) \vee (\neg x)) \wedge ((x \vee y) \vee (\neg y)) && \text{(Distributivität)} \\
&= (x \vee y \vee \neg x) \wedge (x \vee y \vee \neg y) && \text{(Assoziativität)} \\
&= (y \vee x \vee \neg x) \wedge (x \vee y \vee \neg y) && \text{(Kommutativität)} \\
&= (y \vee 1) \wedge (x \vee 1) && \text{(Neutralität)} \\
&= 1 \vee 1 = 1
\end{aligned}$$

- Idempotenz; $x \vee x = x$ und $x \wedge x = x$

Beweis: Die Idempotenz folgt aus der Absorption durch Einsetzen der neutralen Elemente 0 und 1 für y

$$\text{Aus } x \vee (x \wedge y) = x \text{ folgt } x \vee x = x \vee (x \wedge 1) = x.$$

$$\text{Aus } x \wedge (x \vee y) = x \text{ folgt } x \wedge x = x \wedge (x \vee 0) = x.$$

- Doppelnegation: $\neg(\neg x) = x$

Beweis: Wegen der Eindeutigkeit des Komplements gilt: Wenn $\neg x = y$ ist, dann ist $\neg y = x$ und somit muss $\neg(\neg x) = x$ gelten.

7.3 Wie im Kapitel 7.1.2 beschrieben ist, bilden Konjunktion, Disjunktion und Negation ein vollständiges Logiksystem. Demzufolge reicht der Nachweis, dass sich diese Operationen allein durch NAND- $[\neg(a \wedge b)]$ bzw. allein durch NOR-Gatter $[\neg(a \vee b)]$ realisieren lassen.

Gegeben ist die Schaltalgebra $(\mathbb{B}, \wedge, \vee, \neg)$. Für Elemente $x, y \in \mathbb{B}$ gilt

- $x \wedge y = \neg(\neg(x \wedge x) \wedge \neg(y \wedge y))$
- $x \wedge y = \neg(\neg(x \vee x) \vee \neg(y \vee y))$
- $x \vee y = \neg(\neg(x \wedge y) \wedge \neg(x \wedge y))$
- $x \vee y = \neg(\neg(x \vee y) \vee \neg(x \vee y))$
- $\neg x = \neg(x \wedge x)$
- $\neg x = \neg(x \vee x)$

7.4 Durch Anwendung des Distributivgesetzes, der Consensus-Regel, Absorption und Komplement erhält man

$$\begin{aligned}
f_1 &:= ((a + b) \cdot (a + \bar{c})) + (b \cdot \bar{a}) = a + a\bar{c} + ab + b\bar{c} + b\bar{a} = a + b + b\bar{c} + b\bar{a} \\
&= a + b
\end{aligned}$$

$$\begin{aligned}
f_2 &:= ((b + \bar{d}) \cdot (\bar{b} + d)) \cdot (a + c) = (b\bar{b} + bd + \bar{b}d + d\bar{d}) \cdot (a + c) \\
&= (0 + bd + \bar{b}d + 0) \cdot (a + c) = abd + a\bar{b}d + bcd + \bar{b}c\bar{d}
\end{aligned}$$

7.5 Für die Lösung der Aufgabe greifen wir auf die Informationen über die Basis-Emitter-Spannung U_{BE} und die Gleichstromverstärkung einer Kollektorschaltung im Kapitel 4.5.3 zurück.

- Bei einer Kollektorrestspannung von $U_{CE_{sat}} = 200 \text{ mV}$ ist die Spannung, die über R_C abfällt $U_{RC} = U_B - U_{CE_{sat}} = 5 \text{ V} - 200 \text{ mV} = 4,8 \text{ V}$. Bei einem Kollektorstrom $I_{C_{sat}} = 1 \text{ mA}$ beträgt der Widerstand

$$R_C = \frac{U_{RC}}{I_{C_{sat}}} = 4,8 \text{ k}\Omega$$

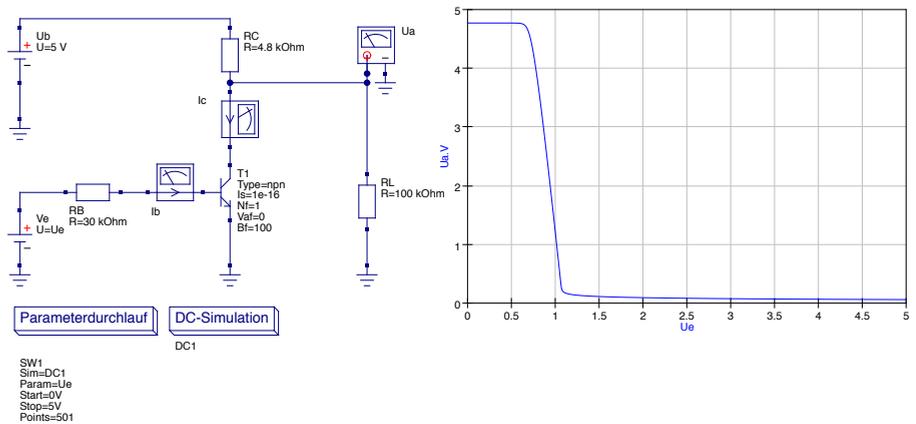
Der Sättigungsbereich, in dem die Schaltung bei Eingangsspannungen $U_E > 2,2 \text{ V}$ arbeitet, zeichnet sich dadurch aus, dass der Basisstrom I_B fünf mal so groß, wie er sich aus $I_{C_{sat}}$ und der Verstärkung ergibt:

$$I_B = \ddot{u} \cdot I_{B_0} = \ddot{u} \cdot \frac{I_{C_{sat}}}{B} = 5 \cdot \frac{1 \text{ mA}}{100} = 50 \mu\text{A}$$

Bei einem Siliziumtransistor beträgt U_{BE} etwa $0,7 \text{ V}$. Damit fällt über den Widerstand R_B eine Spannung von ca. $U_{RB} = U_{Hin} - U_{BE} = 2,2 \text{ V} - 0,7 \text{ V} = 1,5 \text{ V}$ ab.

$$R_B = \frac{U_{RB}}{I_B} = 30 \text{ k}\Omega$$

Das Simulationsergebnis für eine Schaltung mit Lastwiderstand $R_L = 100 \text{ k}\Omega$ zeigt die folgende Abbildung:



- Für die Berechnung der maximalen Ausgangslast betrachten wir einen Lastwiderstand R_L parallel zur Kollektor-Emitter-Strecke des Transistors. Zusätzlich zum Kollektorstrom fließt ein Strom über R_L . Die Widerstände R_C und $R_L || R_{CE}$ arbeiten als Spannungsteiler. Demzufolge muss dafür gesorgt werden, dass bei Ausgabe des Highpegels die Ausgangsspannung U_A nicht unter den Wert U_{Hout} fällt, also mindestens 2,6 V beträgt. Der kritische Punkt ist hier das maximale U_{Lin} von 0,8 V. Bei U_{Lin} von 0,8 V fließt $I_B = (U_E - U_{BE}) / R_B = (0,8 \text{ V} - 0,7 \text{ V}) / 30 \text{ k}\Omega = 3, \bar{3} \mu\text{A}$. Daraus lässt sich ein Kollektorstrom von $I_C = B \cdot I_B = 0, \bar{3} \text{ mA}$ ermitteln.

Weiterhin gilt $U_B = U_{RC} + U_A$ und $I_{RC} = I_C + I_{RL}$. Zusammen mit $I_{RC} = U_{RC} / R_C$ und $I_{RL} = U_A / R_L$ folgt

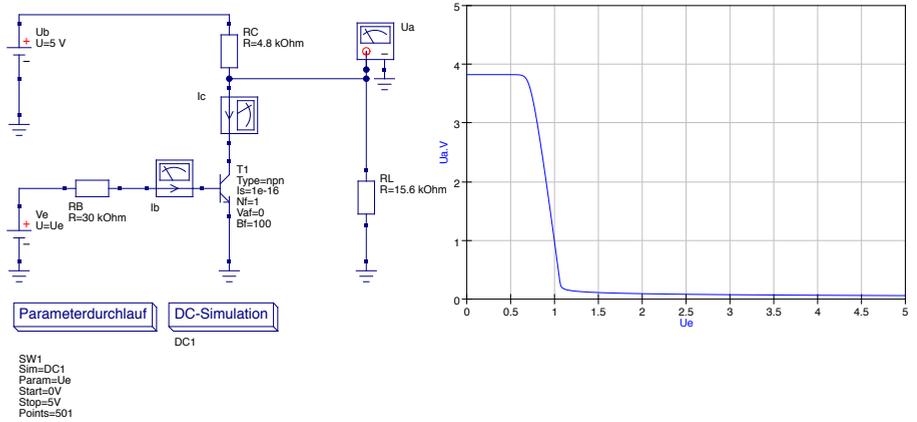
$$\frac{U_{RC}}{R_C} = I_C + \frac{U_A}{R_L}$$

Für $U_A = U_{Hout} \geq 2,6 \text{ V}$ folgt durch Einsetzen

$$R_L \geq \frac{U_{Hout} \cdot R_C}{U_B - U_{Hout} - I_C \cdot R_C}$$

Mit den gegebenen Werten ergibt sich ein $R_L \geq 15,6 \text{ k}\Omega$

Die folgende Abbildung zeigt die Simulation mit einer entsprechende hohen Last:



- Gesucht ist die maximale Anzahl anzusteuender Transistoren dieser Art. Wir bezeichnen sie als Gatter G und wollen zur Bestimmung des fan-out möglichst viele davon parallel schalten. Da alle Gatter gleich aufgebaut sind, fließt bei gleicher Spannung U_A der gleiche Strom in den Eingang jedes Gatters. Somit gilt für den Laststrom $I_L = x \cdot I_G$ mit x als Anzahl der parallel geschalteten Gatter. Über jeden der Transistoren fällt eine Spannung von ca. $0,7\text{V}$ für U_{BE} ab. Der Gatterstrom I_G entspricht somit U_A/R_B pro Gatter. Hinzu kommt der Strom I_C und somit zusammengefasst: $I_{RC} = I_C + I_L = I_C + x \cdot U_A/R_B$. Für I_{RC} gilt $I_{RC} = U_{RC}/R_C = (U_B - U_A)/R_C$. Man kann U_{RC} auch als $U_{RC} = U_B - U_{BE} - U_{RB} = 4,3\text{V} - U_{RB}$ ausdrücken. Fasst man diese Gleichungen zusammen, so erhält man für das gesuchte x

$$x = \frac{R_B}{U_{RB}} \cdot \left(\frac{4,3\text{V} - U_{RB}}{R_C} - I_C \right) = \frac{R_B}{U_{RC}} \cdot \left(\frac{4,3\text{V}}{U_{RB}} - 1 \right) - \frac{R_B \cdot I_C}{U_{RB}}$$

Der Zusammenhang $U_{RB} = U_A - U_{BE} = U_A - 0,7\text{V}$ führt zur Gleichung:

$$x = \frac{R_B}{U_{RC}} \cdot \left(\frac{4,3\text{V}}{U_A - 0,7\text{V}} - 1 \right) - \frac{R_B \cdot I_C}{U_A - 0,7\text{V}}$$

$$x = 6,25 \cdot \left(\frac{4,3\text{V}}{U_A - 0,7\text{V}} - 1 \right) - \frac{R_B \cdot I_C}{U_A - 0,7\text{V}}$$

$$x = \frac{6,25 \cdot 4,3\text{V}}{U_A - 0,7\text{V}} - 6,25 - \frac{R_B \cdot I_C}{U_A - 0,7\text{V}} = \frac{26,875\text{V}}{U_A - 0,7\text{V}} - 6,25 - \frac{R_B \cdot I_C}{U_A - 0,7\text{V}} \quad (7.1)$$

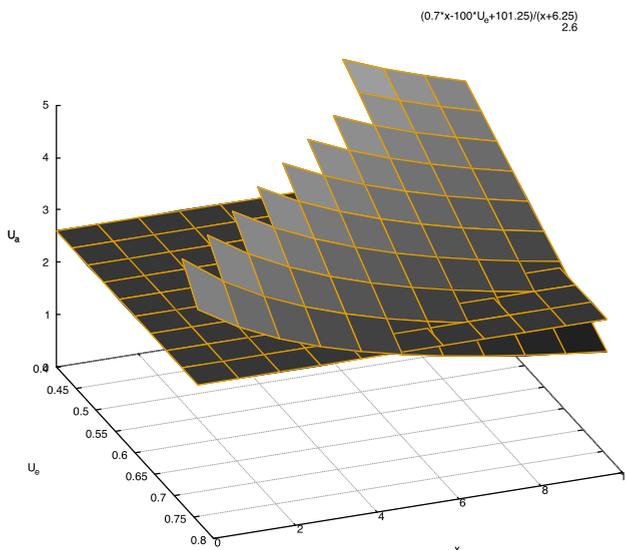
I_C ist abhängig von U_E . Wir suchen im Arbeitsbereich des Eingangs U_E das minimale x , so dass U_A die geforderten Ausgangswerte einhält, also $U_A \leq 0,4\text{V}$ für $U_E \geq 2,2\text{V}$ und $U_A \geq 2,6\text{V}$ für $U_E \leq 0,8\text{V}$.

Der interessante Bereich ist die Eingangsspannung 0,8 V, da hier am Ausgang mindestens 2,6 V anliegen muss und die größte Last durch den Stromfluss über die nachfolgenden Gatter auftritt. Unter dem Wissen dass $I_C = B \cdot I_B = 100 \cdot (U_E - U_{BE})/R_B$ ist, können wir x nach Gleichung 7.1 für $U_E = 0,8$ V und $U_A = 2,6$ V ausrechnen.

Um es besser zu verdeutlichen stellen wir die Ausgangsspannung als Funktion von x und U_E dar. Wir können U_a nach Gleichung 7.1 im Bereich von $U_E \approx 0,8$ V wie folgt abschätzen:

$$U_A = \frac{x \cdot 0,7 \text{ V} + 100,25 \text{ V} - 100 \cdot U_E}{x + 6,25}$$

Durch einen 3D-Plot erhalten wird folgende Ausgabe:



Man kann erkennen, dass bei einem Faktor von $x > 4$ die erforderliche Ausgangsspannung unterschritten wird. Dazu wurde bei 2,6 V eine Ebene eingezeichnet. Der fan-out beträgt 4.

- In der vorherigen Teilaufgabe haben wir eine Grenze geprüft, die Einhaltung der Ausgangsspannung oberhalb von 2,6 V für Eingangsspannungen unterhalb von 0,8 V bei maximaler Last.

Der andere Extremfall ist die Einhaltung einer Ausgangsspannung unterhalb von 0,4 V bei einer Eingangsspannung oberhalb von 2,2 V ohne Last, da in diesem Fall allein über den Transistor der Strom I_{RC} also $I_{RC} = I_C$ fließt. Nach der anfänglichen Dimensionierung war I_C so bemessen, dass in diesem Fall (ohne Berücksichtigung

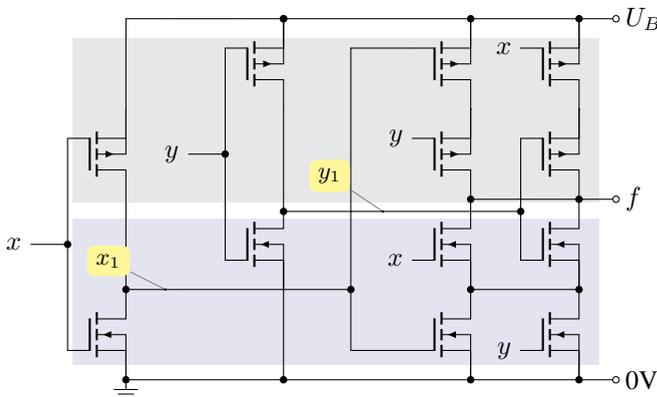
des Übersteuerungsfaktors) ein Strom von 1 mA fließt. Damit würde über den Widerstand R_C eine Spannung von $I_C \cdot R_C = 4,8 \text{ V}$ abfallen und der Ausgang liegt mit $U_A = U_B - U_{R_C}$ mit 0,2 V unter der geforderten Grenze.

Die geforderten Pegel werden eingehalten.

7.6 XOR-Gatter: $f = x \oplus y = x \bar{y} + \bar{x} y$

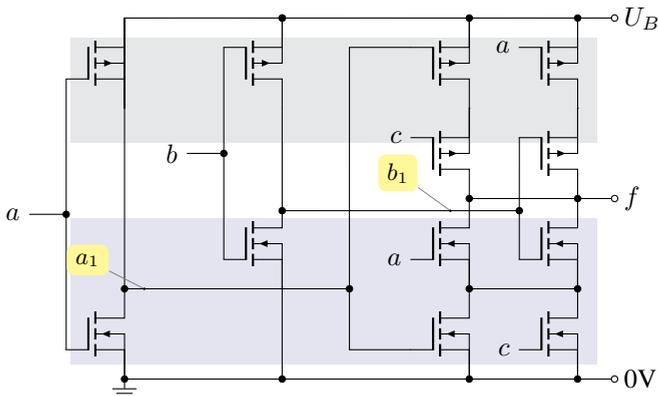
Wir suchen die Funktionen f_1 für den pull-up und f_0 für den pull-down Zweig mit den entsprechenden Restriktionen (f_1 hat nur negative, f_0 hat nur positive Literale). Durch Umstellungen des Ausdrucks von f können wir dies nicht erreichen. Wir führen deshalb zwei weitere Signale für die invertierten Eingangssignale ein: $x_1 = \bar{x}$ und $y_1 = \bar{y}$.

Dann können wir $f_1 = \bar{x}_1 \bar{y} + \bar{x} \bar{y}_1$ über negative Literale ausdrücken. Für den pull-down Zweig folgt $f_0 = \bar{f}_1 = (x_1 + y)(x + y_1)$.



7.7 Aufgrund der Consensus-Regel gilt: $f = \bar{a} \cdot b + a \cdot \bar{c} + b \cdot \bar{c} = \bar{a} \cdot b + a \cdot \bar{c}$.

Die Schaltung ähnelt dem XOR, allerdings werden hier drei Werte verknüpft. Durch Invertierung von $a_1 = \bar{a}$ und $b_1 = \bar{b}$ können wir $f_1 = \bar{a} \bar{b}_1 + \bar{a}_1 \bar{c}$ über negative Literale ausdrücken. Für den pull-down Zweig folgt $f_0 = \bar{f}_1 = (a + b_1)(a_1 + c)$.



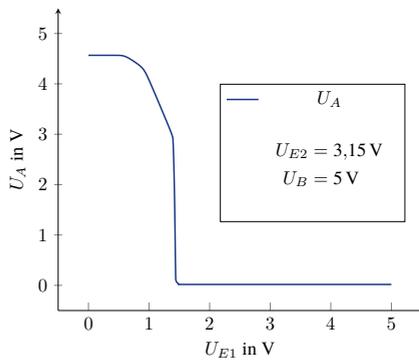
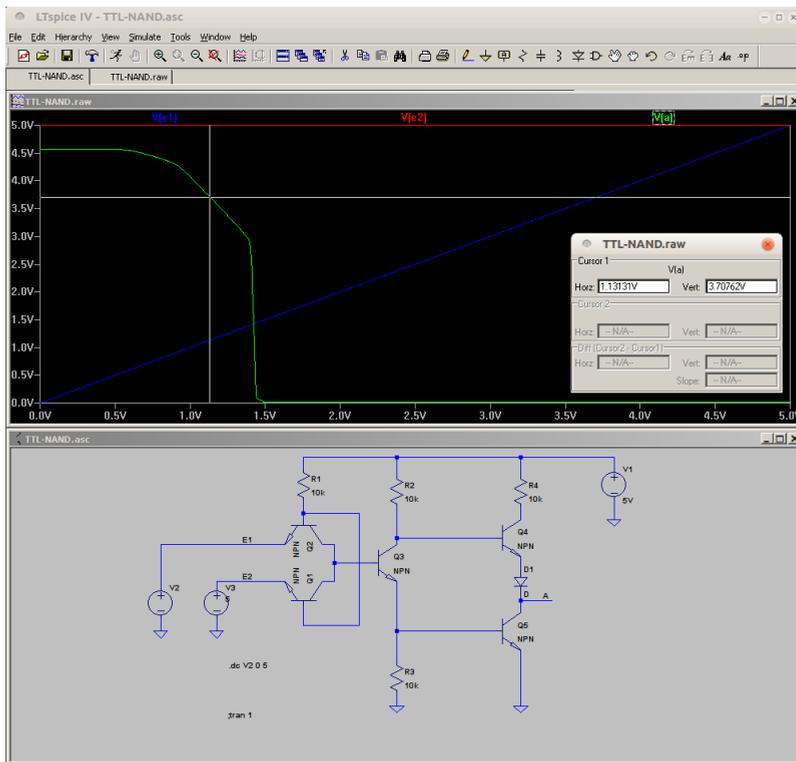
- 7.8 Je nach Schaltungsprinzip haben Überschreitungen bzgl. Dimensionierungen verschiedene Auswirkungen. Bei einer pMOS- oder nMOS-Schaltung wird bei Überschreiten des Fan-Outs der durch den Arbeitswiderstand begrenzte Stromfluss nicht mehr ausreichen, um das notwendige High- bzw. Low-Potential zu erreichen. Das kann sich durch Schaltfehler oder Veränderung der Schaltzeiten bemerkbar machen.

Bei sehr starker Verringerung des Ausgangslastwiderstands und somit Überschreiten des Fan-Outs können die Transistoren der Treiberendstufe ohne Schutzschaltung (Schutz gegen Kurzschluss) überlastet und damit zerstört werden.

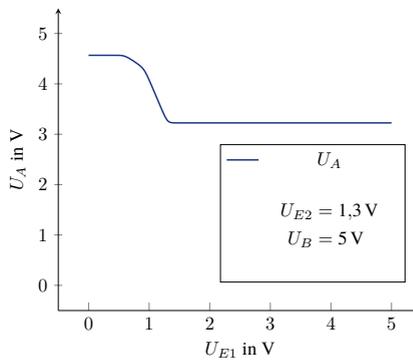
Ein überdimensionierter Fan-Out bedeutet, dass die Treiberendstufe eine größere Last treiben kann, also mehr Strom zur Verfügung stellt, als die nachfolgenden Baugruppen benötigen. Damit dies erfolgen kann, besitzt die Endstufe eine geringe Impedanz und liefert somit meist auch Pegel, die näher an der idealen Spannung U_B bzw. 0V liegen. Das wirkt sich positiv auf die Schaltgeschwindigkeit aus, da durch den größeren Spannungshub die verzögerten Schaltschwellen für Low und High schneller erreicht werden. Siehe kapazitive Effekte in Abb. 7.24.

- 7.9 Als Simulator wurde LTspice IV von der Firma *Linear Technology Corporation* gewählt: <http://www.linear.com/designtools/software/> Für Dioden und für die Transistoren wurden die Standard Silizium npn-Typen der Simulationssoftware eingesetzt.

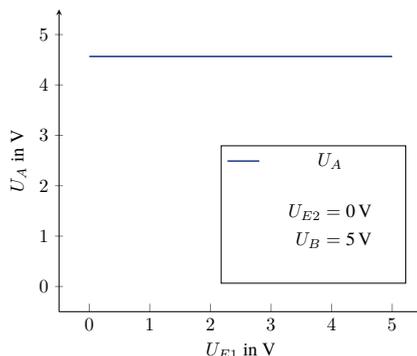
Die folgende Abbildung zeigt einen Bildschirmsnapshot:



(a) U_A als Funktion von U_{E1} bei $U_{E2} = 3,15V$



(b) U_A als Funktion von U_{E1} bei $U_{E2} = 1,3V$



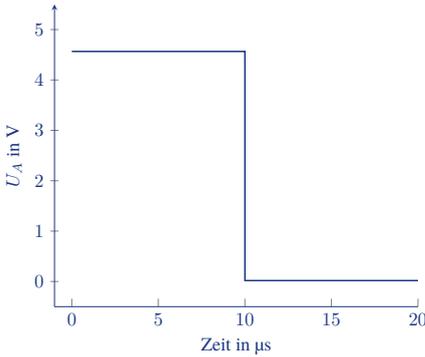
(c) U_A als Funktion von U_{E1} bei $U_{E2} = 0 \text{ V}$

Das NAND-Gatter sollte nur dann am Ausgang den Low-Pegel liefern, wenn beide Eingänge auf High-Pegel liegen. Bei den Grenzpegeln der CMOS 74HC Serie entspricht das einer Spannung größer 3,15 V.

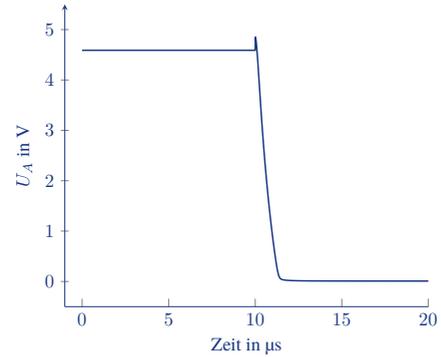
In der durchgeführten DC-Simulation wurde dazu der Eingang E_2 auf 3,15 V (H) gelegt und der Anstieg der Spannung am Eingang E_1 simuliert. Den Spannungsverlauf am Ausgang jeweils bei unbelastetem Ausgang zeigt Abb. (a). Wir können erkennen, dass bei $E_1=0 \text{ V}$ am Ausgang eine Spannung von ca. 4,5 V (H) anliegt. Ab ca. $E_1=0,7 \text{ V}$ bis 1,3 V sinkt die Ausgangsspannung langsam auf etwa 3 V ab. Bei weiterer Erhöhung von E_1 sinkt die Ausgangsspannung schlagartig auf 1,3 V (L), was dem erwarteten Verhalten entspricht.

In Abb. (b) und (c) wurde das Verhalten bei E_2 auf L simuliert. In diesem Fall müsste am Ausgang immer ein H-Pegel anliegen. In Abb. (b) wird E_2 mit einer Spannung von 1,3 V versorgt. Bei diesem Grenzwert können wir beim Anstieg von E_2 auf 1,3 V ein Abfallen der Ausgangsspannung auf ca. 3,2 V beobachten, was bei CMOS 74HC immer noch einem H-Pegel und damit dem erwarteten Verhalten entspricht. Bei $E_2=0 \text{ V}$ liefert der Ausgang unabhängig von E_1 die Spannung 4,5 V (vgl. Abb. (c)). In der gesamten Betrachtung haben wir die Belastung des Ausgangs unberücksichtigt gelassen.

Für die Bestimmung der zeitlichen Verzögerung beim Umschalten beider Eingänge von 0 auf 5 V nutzen wir eine Transientenanalyse und lassen zu einem Zeitpunkt die Spannung beider Eingänge schlagartig, also ohne Anstiegsverzögerung umschalten. Dabei beobachten wir die Ausgangsspannung. Erwartungsgemäß schaltet diese ebenfalls schlagartig um - Abb. (d). Der Grund dafür ist die Verwendung „idealer“ Bauelemente für die Simulation.



(d) Schaltverzögerung (ideale Bauelemente)

(e) Schaltverzögerung (Philips 2N2222 für T_1, T_4 und STMicro 2N3055 für T_5, T_6)

Nutzen wir für die Bauelemente der Simulation die SPICE-Modelle realer Transistoren, so ergibt sich eine Abweichung. Die Abb. (e) zeigt die Simulation mit den Modellen Philips 2N2222 für T_1 und T_4 und STMicro Leistungstransistoren 2N3055 für T_5 und T_6 . Die Umschaltzeit mit den Transistormodellen liegt in der Simulation immer noch unter $10\mu\text{s}$, also unterhalb der in Tabelle 7.1 angegebenen Schaltzeit von 10ns . Folglich hängt die Verzögerung wesentlich von anderen, durch die Simulation nicht erfassten Punkten, wie z.B. parasitäre Kapazitäten etc., ab.

7.10 Für diese Berechnung kommen viele Faktoren zusammen, weshalb an dieser Stelle nur eine vereinfachte Betrachtung der maximalen Stromaufnahme für die verschiedenen Zustände genügen soll. Außerdem fällt auf, dass bei dem in der vorhergehenden Aufgabe angegebenen relativ hohen Widerstand $R_6=10\text{k}\Omega$ bei dem vergleichsweise geringen Lastwiderstand bei H-Pegel auch nur eine sehr geringe Spannung am Ausgang anliegen kann, was in der Realität bei $1\text{k}\Omega$ Last sicher nicht der Fall sein wird. Die Berechnung und die angenommenen Widerstandswerte dienen hier deshalb nur zu Demonstrationszwecken.

Wir unterscheiden die Fälle: (1) mindestens einer der beiden Eingänge liegt auf L und somit der Ausgang auf H und (2) beide Eingänge sind H, also liegt der Ausgang auf L. Dabei betrachten wir die Stromaufnahme der Schaltung über die Stromversorgung U_B bei $U_B=5\text{V}$ und $E_x=5\text{V}$ bzw. 0V . Es gibt in (1) einen geringen Unterschied in der Stromaufnahme bei den Eingangsbelegungen L,L einerseits L,H bzw. H,L andererseits, den wir hier aber auch nicht weiter betrachten wollen.

Der Strom, der über die Spannungsversorgung U_B aufgenommen wird, kann durch die Summe der Ströme über R_1 , R_4 und R_6 bestimmt werden.

Der Stromfluss über R_6 wird durch die Ausgangslast bestimmt. Bei (1) wird der Stromfluss durch die Reihenschaltung von R_6 , T_5 , D_2 und den Ausgangswiderstand gegen Masse ermittelt. Die Summe der ohmschen Widerstände beträgt $11\text{k}\Omega$. Damit ergibt sich der maximale Strom als $I_{R_6} = 5\text{V}/11\text{k}\Omega = 454\mu\text{A}$. Er liegt aber darunter, da über D_2 eine

Spannung von ca. 0,7 V abfällt. Wir können I_{R_6} somit als $(5 - 0,7)V/11\text{ k}\Omega = 390\text{ }\mu\text{A}$ abschätzen. Im Fall (2) setzen wir den Stromfluss aufgrund des gesperrten Transistors T_5 auf 0 A.

Über I_{R_4} fließt im Fall (1), in dem die Transistoren T_4 und T_6 sperren, lediglich ein Strom über die Strecke T_5 , D_2 und den Ausgangswiderstand. Betrachten wir wieder die ohmschen Widerstände und berücksichtigen pro pn-Diode einen Spannungsabfall von ca. 0,7 V, so kommen wir auf einen maximalen Strom von $(5 - 2 \cdot 0,7)V/11\text{ k}\Omega = 327\text{ }\mu\text{A}$. Im Fall (2) sind T_4 und T_6 geöffnet, womit kein nennenswerter Strom über T_5 fließt. Dafür erfolgt ein Stromfluss über T_4 , R_5 bzw. T_6 . Der Emittor von T_4 wird auf einem Potential von ca. 0,7 V liegen und über R_4 ein Strom von $(5 - 0,7)V/10\text{ k}\Omega = 430\text{ }\mu\text{A}$ fließen.

Für I_{R_1} gilt: liegt ein Eingang auf L, also Fall (1), fließt Strom über die Basis-Emitter-Diode zu dem auf L liegenden Eingang. Somit beträgt der Strom wieder ca. 430 μA . Im Fall (2) liegen beide Eingänge auf H, so dass über die Basis-Emitter-Diode nahezu kein Strom fließt. Somit müssen wir jetzt die Strecke über Basis-Kollektor von T_1 weiter über T_4 , R_5 bzw. T_6 betrachten. Wir schätzen diese mit $(5 - 3 \cdot 0,7)V/10\text{ k}\Omega = 290\text{ }\mu\text{A}$ ab.

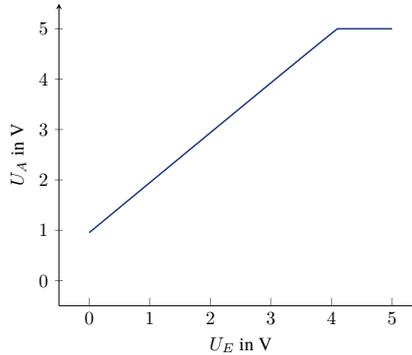
Insgesamt erhalten wir für (1): $390\text{ }\mu\text{A} + 327\text{ }\mu\text{A} + 430\text{ }\mu\text{A} = 1,14\text{ mA}$ und im Fall (2) auf: $0\text{ A} + 430\text{ }\mu\text{A} + 290\text{ }\mu\text{A} = 0,72\text{ mA}$.

- 7.11 Betrachten wir zum Vergleich die Abb. 7.28, in der ein p-Kanal-Transistor als Inverter arbeitet. Entscheidend für die Leitfähigkeit zwischen Source und Drain ist das Potential zwischen Gate und Bulk bzw. Gate und Source, da der Bulk-Anschluss mit Source verbunden ist. Ist der Betrag der Spannung zwischen Gate und Source größer als ca. 1,3 V, so wird der Kanal leitend.

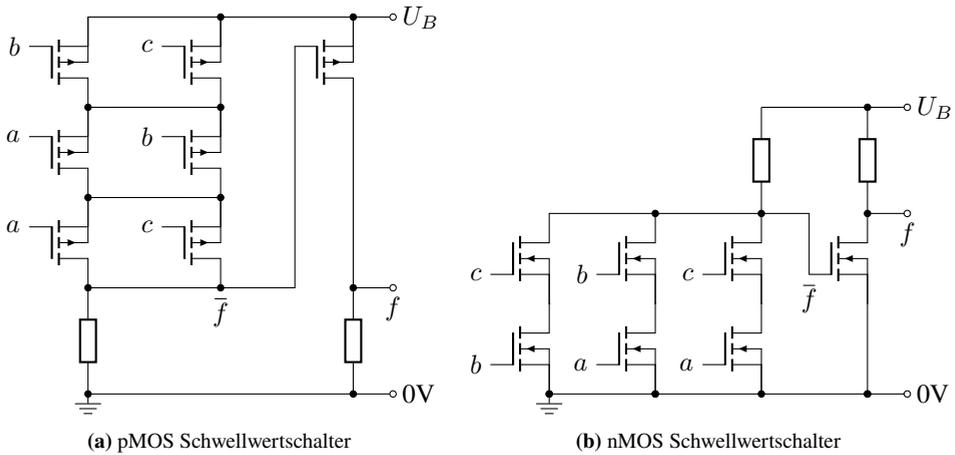
In der untersuchten Schaltung in Abb. 7.31 ist Source mit dem Ausgang und mit einem Widerstand zur Masse verbunden, der Drain-Anschluss mit U_B . Auch hier leitet der Kanal, wenn die Spannung zwischen Gate und Source ca. 1,1 V übersteigt. Allerdings liegt die Eingangsspannung nicht direkt an Gate und Source an. Dazwischen befindet sich der Widerstand R . So entspricht die Spannung U_{DS} der Differenz zwischen U_E und U_A . Die Spannung U_A können wir nach der Spannungsteilerregel bei unbelastetem Ausgang mit $U_A = \frac{R}{R+R_{DS}} \cdot U_B$ bzw. anhand des Stroms I_D mit $U_A = I_D \cdot R$ angeben. In der Abbildung ist I_D der Strom, der über den Source-Anschluss fließt, was aber dem Drainstrom entspricht, da über das Gate nahezu kein Stromfluss zu verzeichnen ist.

Betrachten wir jetzt eine ansteigende Eingangsspannung, wie in Abb. 7.31b gezeigt. Bei ca. 1,1 V wird der Kanal leitend, es kommt zu einem Anstieg von I_D und damit auch zu einem Anstieg von U_A . Da für die Gate-Source Spannung $U_{DS} = U_E - U_A$ gilt, wird ein weiteres Ansteigen der Ausgangsspannung verhindert, denn dadurch würde die Schwelle von 1,1 V unterschritten. Es stellt sich somit eine Spannungsdifferenz von ca. 1,1 V zwischen U_E bei U_A ein. Das können wir gut in Abb. 7.30b erkennen, womit auch das Verhalten dieser Beschaltung zu erklären ist.

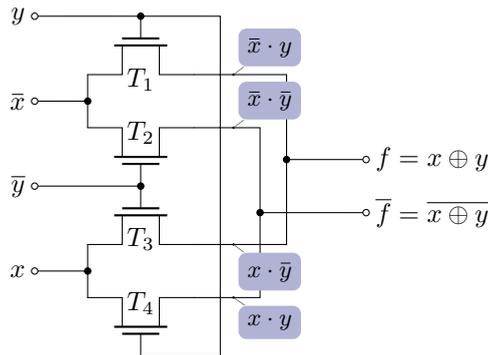
- 7.12 Das Verhalten dieser Schaltung kann analog zur vorhergehenden Aufgabe erklärt werden. Für den p-Kanal-Transistor entscheidet ebenfalls die Spannung zwischen Gate und Source. Da Source mit dem Ausgang verbunden ist und Gate mit dem Eingang, wird sich auch in dieser Schaltung wieder eine Spannungsdifferenz zwischen U_A und U_E einstellen, z.B. bei der unten dargestellten Simulation ca. 0,95 V (Simulation mit Transistormodell Siliconx Si1555DL_P). Dadurch liegt bei 0 V Eingangsspannung am Ausgang eine merklich größere Spannung an und das Massepotential wird nicht erreicht.



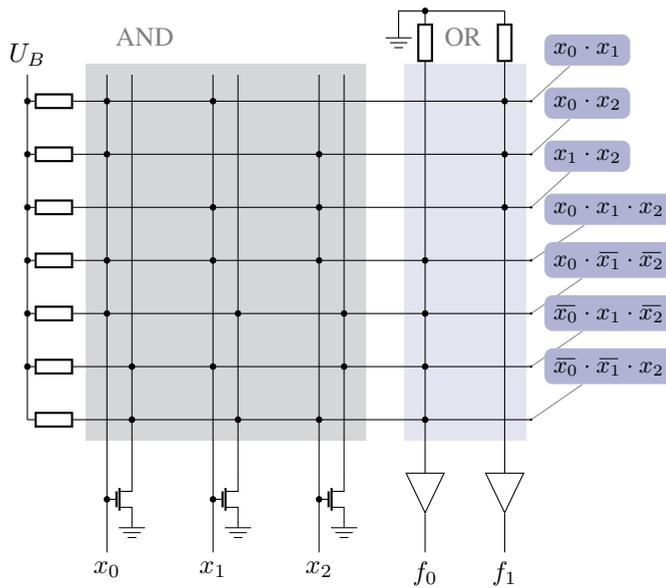
- 7.13 Wir können wie bei einer CMOS-Schaltung vorgehen und zuerst die pMOS-Schaltung, also den pull-up Zweig bearbeiten. Die Eingänge seien a , b und c . Die Ausgangsfunktion ist $f = a b + a c + b c + a b c = a b + a c + b c$. Wir suchen jetzt eine Darstellung, die nur aus negativen Literalen besteht. Dazu können wir wieder f invertieren und erhalten nach de Morgan $\bar{f} = (\bar{a} + \bar{b}) (\bar{a} + \bar{c}) (\bar{b} + \bar{c})$. Mit der anschließenden Invertierung entspricht das folgender pMOS-Schaltung (a). Daraus lässt sich die duale nMOS-Schaltung leicht ableiten (b).



- 7.14 Da $f_{XOR}(x, y) = \neg f_{XNOR}(x, y)$ gilt, wird nur eine differentielle Pass-Transistor-Schaltung benötigt. Wir schreiben für XOR: $f = x \oplus y = \bar{x}y + x\bar{y}$ und für das XNOR $\bar{f} = \bar{x}\bar{y} + xy$. Das entspricht folgender Schaltung:



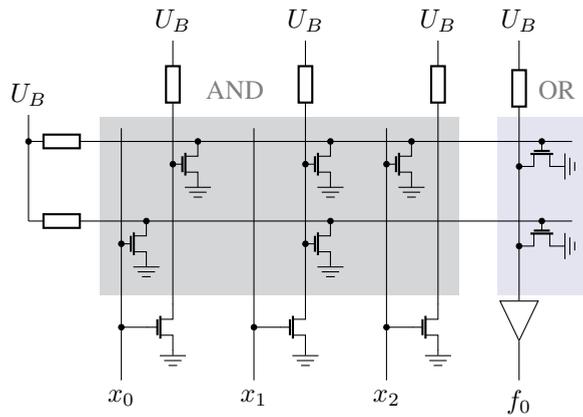
- 7.15 Der Volladdierer hat zwei Ausgänge, f_0 für die Summe und f_1 für den Übertrag (Carrie). Als Beschreibung der Funktionen mit booleschen Ausdrücken in disjunktiver Form, die möglichst wenige Produktterme (Monome) besitzen, erhalten wir:
- $$f_0 = \bar{x}_0 \cdot \bar{x}_1 \cdot x_2 + \bar{x}_0 \cdot x_1 \cdot \bar{x}_2 + x_0 \cdot \bar{x}_1 \cdot \bar{x}_2 + x_0 \cdot x_1 \cdot x_2 \text{ und}$$
- $$f_1 = x_1 \cdot x_2 + x_0 \cdot x_2 + x_0 \cdot x_1.$$
- Daraus können wir folgende PLA-Schaltung aufbauen. Zur Vereinfachung wurden die Dioden im AND- und OR-Feld ersetzt und als Knotenpunkte dargestellt.



- 7.16 Zur Ansteuerung der horizontalen Steuerleitungen (Produktterme) können wir nMOS-Transistoren als pull-down Transistoren anstatt der Dioden im AND-Feld eingebaut werden. Zusammen mit den vorhandenen pull-up Widerständen „ziehen“ die Transistoren die jeweilige horizontale Leitung genau dann auf L, wenn eine von dem zugehörigen Produktterm überdeckte Eingangsbelegung anliegt. Das bedingt eine Invertierung der Eingangswerte. Soll z.B. der Produktterm $p_1 = x_0 \cdot x_1 \cdot \bar{x}_2$ implementiert werden, so müssen die Transistoren die Leitung bei \bar{x}_0 oder \bar{x}_1 oder x_2 auf L „ziehen“, also dementsprechend mit \bar{x}_0 , \bar{x}_1 und x_2 angesteuert werden (obere Zeile der folgenden Abbildung).

Im OR-Feld werden die Produktterme disjunktiv verknüpft. Das können wir mit Transistoren wie folgt erreichen. Anstatt der pull-down Widerstände der Diodenschaltung setzen wir pull-up Widerstände ein. Die vertikale Ausgangsleitung wird durch den Transistor, der wieder im pull-down Zweig arbeitet, genau dann auf L gesetzt, wenn der Produktterm anliegt. Demzufolge ist bei der Erfüllung eines (von möglicherweise mehreren) Produkttermen die vertikale Leitung auf 0 gesetzt. Das entspricht einem logischen OR der Produktterme. Abschließend muss das Ergebnis nur noch mit einem Inverter am Ausgang ausgeben werden.

Die folgende Abbildung zeigt die Implementierung der Funktion $f_0 = x_0 \cdot x_1 \cdot \bar{x}_2 + \bar{x}_0 \cdot x_1$.



7.17 Die Eingangsbelegung der LUT gibt die Zeile der Tabelle an, deren Werte am Ausgang ausgegeben wird. Die dargestellte LUT hat sechs Eingänge. Somit gibt es $2^6 = 64$ verschiedene Belegungen. Bei allen Belegungen, bei denen mindestens 4 Eingänge auf 1 (also auf H-Pegel) liegen wird am Ausgang 1, andernfalls 0 ausgegeben. Man erhält:

x_1	x_2	x_3	x_4	x_5	x_6	A
0	0	0	0	0	0	0
0	0	0	0	0	1	0
0	0	0	0	1	0	0
0	0	0	0	1	1	0
0	0	0	1	0	0	0
0	0	0	1	0	1	0
0	0	0	1	1	0	0
0	0	0	1	1	1	0
0	0	1	0	0	0	0
0	0	1	0	0	1	0
0	0	1	0	1	0	0
0	0	1	0	1	1	0
0	0	1	1	0	0	0
0	0	1	1	0	1	0
0	0	1	1	1	0	0
0	0	1	1	1	1	0
0	1	0	0	0	0	0
0	1	0	0	0	1	0
0	1	0	0	1	0	0
0	1	0	0	1	1	0
0	1	0	1	0	0	0
0	1	0	1	1	0	0
0	1	0	1	1	1	0
0	1	1	0	0	0	0
0	1	1	0	0	1	0
0	1	1	0	1	0	0
0	1	1	0	1	1	0
0	1	1	1	0	0	0
0	1	1	1	0	1	0
0	1	1	1	1	0	0
0	1	1	1	1	1	0
1	0	0	0	0	0	0
1	0	0	0	0	1	0
1	0	0	0	1	0	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	0	1	0	1	0
1	0	0	1	1	0	0
1	0	0	1	1	1	0
1	0	1	0	0	0	0
1	0	1	0	0	1	0
1	0	1	0	1	0	0
1	0	1	0	1	1	0
1	0	1	1	0	0	0
1	0	1	1	0	1	0
1	0	1	1	1	0	0
1	0	1	1	1	1	0
1	1	0	0	0	0	0
1	1	0	0	0	1	0
1	1	0	0	1	0	0
1	1	0	0	1	1	0
1	1	0	1	0	0	0
1	1	0	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	0
1	1	1	0	0	1	0
1	1	1	0	1	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	0
1	1	1	1	0	1	0
1	1	1	1	1	0	0
1	1	1	1	1	1	0

x_1	x_2	x_3	x_4	x_5	x_6	A
1	0	0	0	0	0	0
1	0	0	0	0	1	0
1	0	0	0	1	0	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	0	1	0	1	0
1	0	0	1	1	0	0
1	0	0	1	1	1	1
1	0	1	0	0	0	0
1	0	1	0	0	1	0
1	0	1	0	1	0	0
1	0	1	0	1	1	1
1	0	1	1	0	0	0
1	0	1	1	0	1	1
1	0	1	1	1	0	1
1	0	1	1	1	1	1

x_1	x_2	x_3	x_4	x_5	x_6	A
1	1	0	0	0	0	0
1	1	0	0	0	1	0
1	1	0	0	1	0	0
1	1	0	0	1	1	1
1	1	0	1	0	0	0
1	1	0	1	0	1	1
1	1	0	1	1	0	1
1	1	0	1	1	1	1
1	1	1	0	0	0	0
1	1	1	0	0	1	1
1	1	1	0	1	0	1
1	1	1	0	1	1	1
1	1	1	1	0	0	1
1	1	1	1	0	1	1
1	1	1	1	1	0	1
1	1	1	1	1	1	1

7.18 Betrachten wir dazu den Halbaddierer (siehe auch Abb. 8.7). Die Summenausgang realisiert das XOR und der Übertragsausgang das AND der beiden Eingangswert. Im Logikblock erhält ein Eingang des Halbaddierers die Schwellwertberechnung aus der LUT, der andere ist mit einem Eingang des Logikblocks verbunden. Legen wir auf diesen Logikblock-Eingang den Wert 1, so wird wegen der XOR-Verknüpfung am Übertragsausgang und damit am oberen Ausgang des Logikblocks der invertierte Funktionswert sofort ausgegeben.

Am Summenausgang des Halbaddierers liegt der Wert der Schwellwertberechnung an (AND-Verknüpfung mit 1). Durch Auswahl des 0-Eingangs am linken Multiplexer wird dieser Wert zum Register durchgestellt. Es handelt sich um ein taktflankengesteuertes Register, welches diesen Wert somit taktsynchron am Ausgang Q zur Verfügung stellt. Durch Auswahl des 1-Eingangs am rechten Multiplexer wird der Wert zum unteren Ausgang des Logikblocks geleitet.